

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
008723987 **Image available**

WPI Acc No: 1991-228004/199131

XRAM Acc No: C91-099386

XRPX Acc No: N91-173766

Mfg. poly-silicon thin-film FET - forming gate region on
insulator-covered poly-silicon layer and irradiating with pulsed laser in
impurity gas atmos. NoAbstract Dwg 1/2

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3148836	A	19910625	JP 89287566	A	19891106	199131 B

Priority Applications (No Type Date): JP 89287566 A 19891106

Title Terms: MANUFACTURE; POLY; SILICON; THIN; FILM; FET; FORMING; GATE;
REGION; INSULATE; COVER; POLY; SILICON; LAYER; IRRADIATE; PULSE; LASER;
IMPURE; GAS; ATMOSPHERE; NOABSTRACT

Index Terms/Additional Words: SHORT; WAVE

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03485936 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 03-148836 [JP 3148836 A]

PUBLISHED: June 25, 1991 (19910625)

INVENTOR(s): TAJIMA KAZUHIRO
 NOGUCHI TAKASHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 01-287566 [JP 89287566]

FILED: November 06, 1989 (19891106)

INTL CLASS: [5] H01L-021/336; H01L-021/22; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL: Section: E, Section No. 1114, Vol. 15, No. 375, Pg. 18,
 September 20, 1991 (19910920)

ABSTRACT

PURPOSE: To inhibit the lateral diffusion of an impurity and to form a low-resistance region having little defect by a method wherein source and drain regions are locally melted using an excimer laser, are doped and a heat treatment is also performed simultaneously with the doping.

CONSTITUTION: An insulation film 11 is formed on the surface of a semiconductor single crystal substrate 1 with an IC element formed thereon and a polycrystalline silicon layer 12 is grown on the surface of the film 11. Then, a gate oxide film 4 and a polycrystalline silicon layer 13, which is used as a gate electrode, are formed. Irradiated with an excimer laser 8 in an atmosphere containing P-type impurity gas 7, the layer 12 is melted and an impurity is introduced in source and drain regions 14a and 14b. Moreover, when the gas 7 is introduced in the silicon layer 13 simultaneously with the irradiation of the laser 8, the gate electrode 15 can be formed simultaneously with the introduction of the gas 7. The depth of the layer 12 which is melted by the laser is small, the lateral diffusion of the impurity is inhibited and a low-resistance region having little defect can be formed.

⑫ 公開特許公報(A)

平3-148836

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月25日

H 01 L 21/336
21/22
29/784

E 7454-5F

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平1-287566

⑰ 出 願 平1(1989)11月6日

⑱ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 野 口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
㉑ 代 理 人 弁理士 高橋 光男

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁膜上の多結晶シリコン層の表面にゲート領域を形成し、該ゲート領域を不純物導入に対するマスクとして、不純物ガスの雰囲気中で短波長のパルスレーザを照射することによって、ソース領域およびドレイン領域を形成する工程を含む薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多結晶シリコンを用いた薄膜トランジスタの製造方法に関し、レーザドーピング技術を用いた薄膜トランジスタに関するものである。

(発明の概要)

本発明は、薄膜トランジスタのソース領域およびドレイン領域をセルフアライン法によって形成し、レーザドーピング技術によって接合を形成する方法である。まず、ゲート酸化膜とその上に多結晶シリコンのゲート領域を形成し、このゲート領域をマスクとして、三弗化硼素を含むガスの雰囲気中で、短波長のパルスレーザであるエキシマレーザを照射することによって、ソース領域およびドレイン領域を形成する工程を含む薄膜トランジスタの製造方法である。薄膜トランジスタのソース領域およびドレイン領域の膜厚は500オングストローム以下にもかかわらず、欠陥の少ない低抵抗の領域を形成することができる。

(従来の技術)

半導体単結晶基板上に、レーザ、特に短波長のパルスレーザであるエキシマレーザを照射して不純物を導入する、いわゆるレーザドーピング技術を用いて深い接合を形成する方法が提案されていた。例えば、GILD(Gas Immersion Laser Dop

ing)と呼ばれるPチャンネルMOSFETの製造方法があった(IEEE Electron Device Letters, Vol. 9 No. 10, 1988年 542ないし544頁)。

その製造方法の概略を、第2図aないしcに示す。まず、第2図aに示すように、半導体単結晶基板1の表面に、絶縁分離のためのパッド酸化膜2aと窒化膜2bを所定の領域に形成する。次に、第2図bに示すように、フィールド酸化膜3を形成後、ゲート酸化膜4を形成し、さらに多結晶シリコンのゲート電極5を形成する。多結晶シリコンのゲート電極の側面を含めて酸化してシリコン酸化膜の側壁6を形成しておく。この側壁は、不純物導入の際、横方向の拡散距離に見合う厚さにしておく。次に、第1図cに示すようにソース・ドレインとなるべき領域の酸化膜を除去した後、例えば三弗化硼素のような不純物ガス7を含む雰囲気中で、波長が308ナノメートルのXeClのエキシマレーザ8を照射しつつ、ソース領域9aおよびドレイン領域9bにP型の不純物を導入する。このエキシマレーザを用いた不純物の導入によ

ていた。

しかしながら、サブミクロン以下のチャンネル長の短いスタックドTFETを実現するには、下部に構成したIC素子への熱の影響を避けるために、低温で局所的な輻射エネルギーを短時間加え、かつ接合近傍の結晶性を向上させる必要があった。

(課題を解決するための手段)

本発明による薄膜トランジスタの製造方法では、短波長のパルスレーザであるエキシマレーザを用いて、局所的にソース領域およびドレイン領域をメルトさせてドーピングし、熱処理も同時に行うことによって横方向への拡散が小さいスタックドTFETを実現することができる。

(作用)

本発明による薄膜トランジスタの製造方法では、短波長のパルスレーザを用いてソース領域およびドレイン領域を照射するとき、ソース領域およびドレイン領域の多結晶シリコンの膜厚は500オ

ンで浅い接合を形成することができる。しかし、基板が単結晶のシリコン基板を用いた場合、浅い接合部分や、フィールド酸化膜と接合の境界部分において欠陥が発生しやすいおそれがあった。

近年、メモリ装置の大容量化を実現するために、メモリ回路の負荷抵抗として薄膜トランジスタをすでに形成されたIC素子の上に絶縁膜を設けてその表面にPチャンネルのMOSFET等を形成する、いわゆるスタックド薄膜トランジスタ(以下スタックドTFETという)を形成する構造のメモリ装置が提案されていた。

(発明が解決しようとする課題)

前記スタックドTFETのソース領域およびドレイン領域を形成するには、接合近傍の欠陥が少なく、かつチャンネル長に影響を及ぼす接合の移動ができるだけ小さい必要があった。従来のイオン注入法による不純物の注入を行えば、非晶質化した注入領域の活性化と再結晶化のために熱処理を必要とし、そのためにランプアニール等が行われ

グストローム以下であり、レーザ照射によってメルトする深さは、およそ400オングストロームであるから、再結晶化に伴う欠陥の発生も少なく、接合の移動も500オングストローム以下にすることができる。

(実施例)

本発明の実施例を第1図aおよび第1図bを用いて説明する。

第1図aに示すように、メモリ等のIC素子をすでに形成した(図示せず)半導体単結晶基板1の表面に絶縁膜11を形成する。この絶縁膜11は下部のIC素子との分離や配線を行うための層間絶縁膜で、通常SiO₂膜を用いる。次に、絶縁膜11の表面にCVD法等によって多結晶シリコン層12をおよそ400オングストローム成長させる。次に、ゲート酸化膜4とゲート電極となるべき多結晶シリコン13を形成して所定のチャンネル長に対応した幅の多結晶シリコンのパターンを形成する。次に、第1図bに示すように、例えば三弗化硼素の

ようなP型の不純物ガス7の雰囲気中で、エキシマレーザ8のエキシマレーザ8を照射する。エキシマレーザ8の照射によって、多結晶シリコン層12はメルトし、ソース領域14aおよびドレイン領域14bに不純物がメルト領域以内に導入される。所定のエキシマレーザの走査時間によって不純物導入領域の再結晶化が行われるので、接合部の欠陥の発生は少なく、低抵抗のソース領域14aとドレイン領域14bを形成することができる。接合の深さは、多結晶シリコン層12の厚さによって制限されるので、レーザのパワーやパルス幅の変化による影響は、単結晶基板へのレーザドーピングに比し少ない。

不純物ガス7をゲートの多結晶シリコン13へ同時に導入し、ゲート電極15とすれば、1度のレーザドーピングでソースとドレインおよびゲートを形成することができる。

本発明の実施例においては、P型の不純物ガスを用いて説明したが、N型の不純物ガスであってもよい。

〔発明の効果〕

本発明による薄膜トランジスタの製造方法によれば、ソース領域およびドレイン領域の膜厚を500オングストローム以下としているので、不純物の横方向拡散が膜厚以下に抑制され、かつ欠陥の発生が少なく低抵抗のソース領域およびドレイン領域を形成することができるので、リーク電流の小さい薄膜トランジスタを実現することができる。

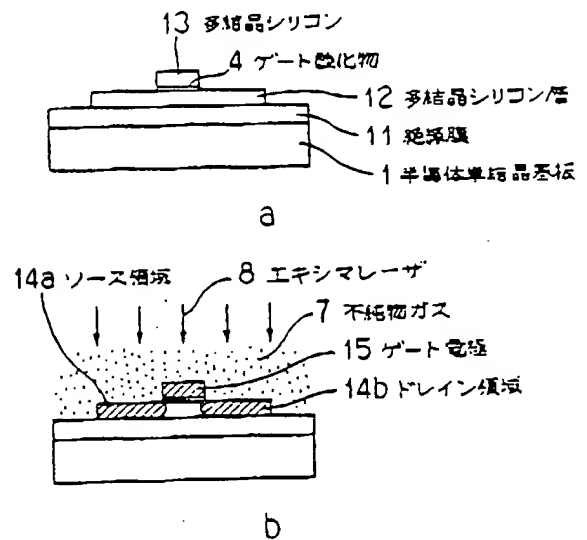
4. 図面の簡単な説明

第1図aおよび第1図bは本発明の薄膜トランジスタを製造する工程図、第2図a乃至第2図cは従来のMOSFETを製造する工程図である。

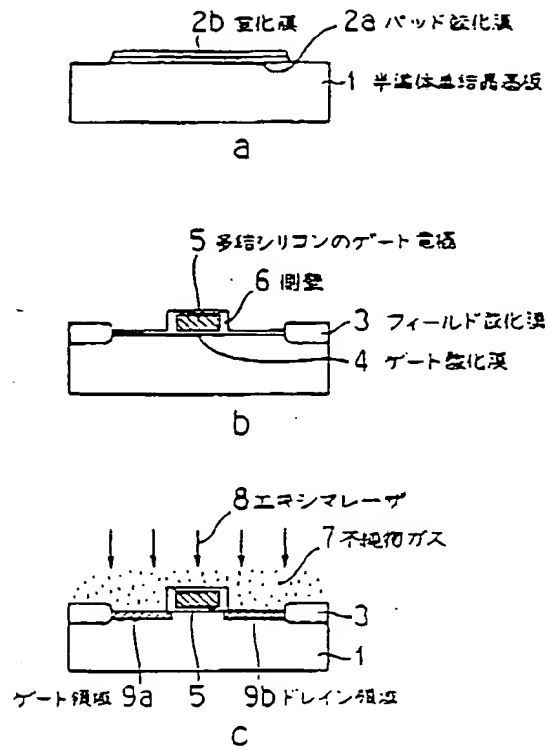
- 1.....半導体単結晶基板
- 2 a.....バッド酸化膜
- 2 b.....窒化膜
- 3.....フィールド酸化膜
- 4.....ゲート酸化膜
- 5.....多結晶シリコンのゲート電極

- 6.....側壁
- 7.....不純物ガス
- 8.....エキシマレーザ
- 9 a、14 a.....ソース領域
- 9 b、14 b.....ドレイン領域
- 11.....絶縁膜
- 12.....多結晶シリコン層
- 13.....多結晶シリコン
- 15.....ゲート電極

特許出願人 ソニー株式会社
代 理 人 弁理士 高橋光男



第1図 本発明の薄膜トランジスタを製造する工程図



第2図 従来のMOSFETを製造する工程図